

基于 BU-61580 的 1553B 总线控制器 IP 核的设计与实现

王占领, 张登福, 李云杰

(空军工程大学 航空航天工程学院, 陕西 西安 710038)

摘 要: 为了满足对 1553B 协议处理器的特定需求, 设计了 BU-61580 总线控制器 IP 核. 运用专用芯片设计思想, 描述了总体设计思路, 在 FPGA 上采用模块化的方法进行逐步设计. 为降低出错的可能性, 首先对各子模块分别做验证, 最后对整体逻辑进行测试. 设计的 IP 核成本低, 集成化程度高. 通过大量仿真实验, 结果表明 IP 核的功能符合设计要求. 最后经过物理验证, 正确实现各项功能, 能满足特定场合的应用.

关键词: 1553B 总线; BU-61580; IP 核; FPGA

中图分类号: V243.1

文献标识码: A

文章编号: 1000-7180(2013)09-0129-04

Design and Implementation of 1553B Bus Controller IP Core Based on BU-61580

WANG Zhan-ling, ZHANG Deng-fu, LI Yun-jie

(Institute of Aeronautics and Astronautics, Air Force Engineering University, Xi'an 710038, China)

Abstract: In order to meet the especial demand for 1553B protocol processor, this article design the bus controller IP core of BU-61580. Using the design idea of the special chip, The integrated design program is described with modularization designing method on the FPGA chip. Every module is proved for lessening the mistake rate, then testing the whole logic. The designed IP core has lower cost and has a higher level in integration. After large of simulation, the results indicate that the functions of IP core could fit the designing demand. Through physical testing at last, the IP core can achieve every function and could be applied in series of situation.

Key words: 1553B bus; BU-61580; IP core; FPGA

1 引言

作为一种串行总线标准, 1553B 总线以其高可靠性及灵活性等性能, 在军事领域得到了广泛的应用, 特别是在航空航天系统中发挥着不可替代的作用^[1]. 1553B 专用芯片 BU-61580 具有功能强、功耗低、性能优良以及体积与质量上的优势, 尤其适合于数据通信系统中. 目前国内使用的 1553B 芯片均是从国外进口, 其价格昂贵, 同时使用起来比较复杂. 针对此情况, 国内一些单位也开展了针对 1553B 总线的大量研究, 其中比较关键的研究在于设计出 1553B 的 IP 核, 从而打破针对 1553B 芯片的技术封锁. 文献[2]设计了 3 种(BC/RT/MT)终端模式下

的 1553B 协议处理模块. 文献[3]通过对采用 SOPC 技术, 开发了 1553B 协议处理系统. 但是, 这些 IP 核在物理验证时可靠性不能保证, 也不能保证测试的实时性, 尤其对于高速并行信号. 同时, 所设计的 IP 核基本都是本单位自用, 未能生成实用的产品在市场上推广使用.

本文以 BU-61580 数据手册为基础, 根据 BU-61580 协议芯片的特性, 结合以往 IP 核存在的问题, 设计了一种高速可靠的 1553B 芯片 IP 核. 最后对所设计的 IP 核进行了全面测试.

2 总体设计

根据要实现的功能, 设计方案可分为编解码

收稿日期: 2012-11-08; **修回日期:** 2012-12-14

基金项目: 国家自然科学基金(61175029); 国防科技重点实验室基金(9140C610301080C6106, 9140C6001070801)

模块、协议处理器模块、超时模块以及双口 RAM 等单元模块. IP 核内部结构框图如图 1 所示.

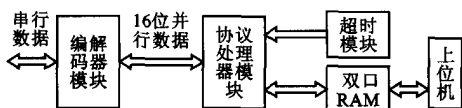


图 1 IP 核内部结构框图

编解码器模块负责实现 TTL 信号与曼彻斯特 II 码之间的转换. 协议处理器模块的主要任务是分析命令字, 正确读写数据, 正确发送数据, 并对 RT 地址和数据字数进行检测. 双口 RAM 负责与上位机交换数据并存储收发数据. 超时模块则通过计数器进行 RT 地址超时管理, 保证逻辑运行的精确性.

3 各模块结构与功能分析

3.1 编解码器设计

1553B 总线上的消息是调制成曼彻斯特 II 码进行传输的, 因此需要对电平信号进行编码和解码. 本文设计的编解码器由编码模块和解码模块两部分组成^[1]. 主要分并/串转换、数据编/解码、同步头及奇偶校验等几个步骤完成.

编码模块首先接收发送控制模块的 16 位数据. 由发送控制模块使能编码信号, 对命令字及数据字进行编码. 根据 1553B 总线传输的消息字格式, 同步字头占 3 位, 先正后负为命令字和状态字, 先负后正为数据字. 首先在 16 位有效信息位前面加上 3 位的同步头, 并在后面加上 1 位奇偶校验位, 通过编码生成 20 位的曼彻斯特 II 码, 经 A、B 两个通道发送至 1553B 总线接口. 为解决电磁兼容问题以及降低系统的误字率, 在两个通道与总线接口之间一般还需要用收发器对信号做适当处理.

解码模块是编码模块的逆过程. 其功能是把接收的曼彻斯特 II 码解码成 TTL 电平信号, 分离出同步头信号, 并进行奇偶校验, 当检测到数据出错或校验位出错, 发送出错信号. 解码模块需要产生以下几个判断信号送到接收控制模块. ①同步头正误判断信号, 在同步头结束时发送. ②数据正误判断信号, 校验位结束时发送. ③校验位正误判断信号, 校验位结束时发送. ④数据准备好信号 (dataflam_ready). 校验位结束时发送. 在设计解码模块中采用状态机方法, 状态转移图如图 2 所示. 其中, IDLE 是空闲状态, dataprocess 是数据处理状态, datawordhead 是数据字同步头检测状态.

接收到一个完整的带同步头和奇校验位的 20

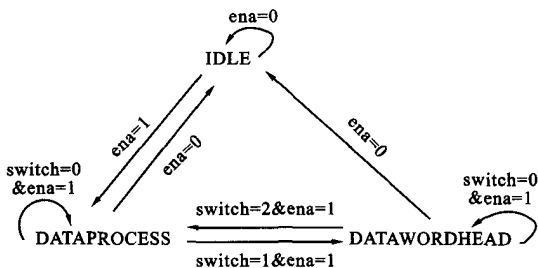


图 2 状态转移图

位曼彻斯特 II 码字后, 数据准备好 (dataflam_ready) 信号置 '1', 数据被读取或错误信号被读取后回到 '0'. 接收控制模块收到此信号的上升沿后, 判断同步头错误、数据错误和校验位错误信号的值. 如果都为 '0', 表示数据正确, 读取 16 位的数据 (dout). 如果有任何一位错误信号为 '1', 表示数据出错, 读取出错消息, 不再读取 16 位数据. 数据正确, 接收模块读取数据放到接收缓存. 数据错误, 读取相应错误信息, 存放到相应的寄存器中.

3.2 协议处理器的设计

协议处理器的作用主要是传输消息^[4]. 从总线接收消息字, 以及向总线发送消息字. IP 核的协议处理器由读/写控制、发送控制模块以及命令字分析模块组成. 其结构框图如图 3 所示.

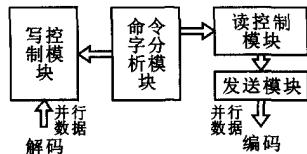


图 3 协议处理器结构框图

由总线控制器启动信息传输任务, 发出数据总线命令. 远程终端 RT 在总线控制器的控制下传输消息并及时对收到的命令做出响应.

写控制模块将命令字分析模块中的分析数据存储在相应的寄存器中, 随后分别将状态字和数据字写入双口 RAM 的数据接收存储器中. 同时, 还需要对由命令字分析模块写入的 RT 地址和数据字数进行判断.

命令字分析模块读取数据总线上的命令字, 并存入内部寄存器中, 然后进行分析, 并返回 RT 地址和数据字数.

读控制模块与外部实现数据交换. 作为 BC 时, 上位机需要写入 BC 控制字第 0~8 位的值, 其他位写 '0', 然后写入需要发送的数据, 并存到控制数据寄存器 control 中. 将命令字读入命令字分析模块, 经分析后再写入读控制模块, 写入的数据包括 RT

地址和数据数值。根据命令字和数据字,可计算出其数值,写入发送控制模块,再写到BC命令字8~15位。

发送控制模块用来实现消息的传输。当读控制模块准备好后,就开始进行消息传输,发送控制模块可以读取数据总线上的数据。为了使得解码模块能够完全解码,命令字与数据字须以20us的时间间隔按顺序发送到编码模块。

3.3 双口RAM

双口RAM用来存储发送/接收的并行数据。在双口RAM充当接收数据存储时,接收由写控制模块发送过来的并行数据并存储,以供上位机读取。在充当发送数据存储时,存储上位机的数据供读控制模块读取。双口模块采用Quartus II 7.2中提供的双口RAM模块^[5]。

数据接收存储器的双口RAM被设置成16bits×64words,收发一次数据最多可能会有36字节。其中,以RT→RT格式传输的数据最多,可能包括2个命令字,2个状态字,32个数据字。所以设置成64字节。

数据发送存储器的双口RAM同样被设置成16bits×64words,存放一帧数据中需要发送的部分。数据都存储到缓存后,把数据依次发送到编码模块。在以RT→RT格式传送时,收发一次数据字节,最多可能有36字节。

3.4 超时模块

超时模块只用于非广播消息传输方式,通过计数器counter计数。由于系统时钟设定为16MHz,时钟周期为1/16μs。由于1553B中规定RT必须在12μs内响应,在RT“无响应”发生前BC必须等待最少14μs,而检测状态字同步头需要3μs。因此,当计数器计数到272个时钟周期时则输出RT超时信号。在广播方式传播消息时,因RT无响应,即不需做RT超时检测。

4 测试验证

设计完成后,对各子模块做了大量的仿真验证。根据BU-61580对总线控制器的定义^[6],对IP核接收消息和发送消息做了时序测试。因为本设计综合的子模块比较多,为降低复杂度,测试时对每个子模块逐一进行验证。一旦出现错误,从底层出发验证子模块的时序波形以找出发生错误的地方,以便于修改相应子模块程序。等各子模块均测试正确后再对整体进行验证测试。这里给出几个典型的时序波

形图。

对于BC和RT,发送模块才有效。内部操作由发送缓存、编码模块和发送控制模块3部分来完成。消息发送仿真时序图如图4所示。

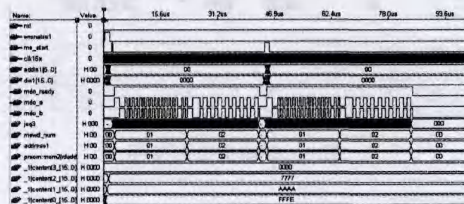


图4 消息发送仿真时序图

图4中实现了16位并行数据din1向串行曼彻斯特码信号mdu_a和mdu_b的转换。mdu_num用来缓存消息个数。内部设计了计数器counter0~3,使用16Mhz时钟计数产生需要的时序。在消息发送时,首先发送同步头,接着发送16位数据,在发送数据的同时,计算校验位的值。16位数据发送完成后,紧接着发送校验位。

根据模式的设定,进行相应接收操作。内部操作由解码模块、接收控制模块和接收缓存3部分来完成。消息接收仿真时序图如图5所示。

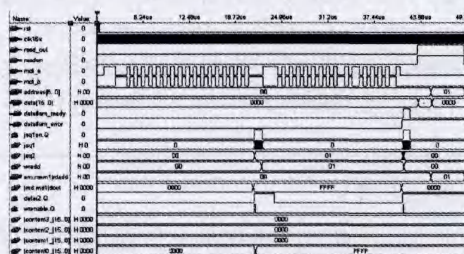


图5 消息接收仿真时序图

图5中实现了由串行曼彻斯特码信号mdi_a和mdi_b向16位并行数据data的转换。纠错信号dataflam_error高电平有效,用来检测解码后数据正误。数据寄存器datar在每个消息解码后为高,存储解码数据。计数器counter0~3,使用16Mhz时钟计数时序,对数据进行采样,判断同步头和校验位是否合法。图示可见同步头、数据位及校验位均正确,因此接收到的消息正确。

整体模块同时完成消息的发送和接收,整体仿真时序图如图6所示。

数据先由曼彻斯特码mdi_a和mdi_b转换成16位并行数据data,再由data转换成曼彻斯特码mdu_a和mdu_b。由所定义的中断信号interrupt、16位控制信号ctrl及采样信号等信号共同完成数据格式的相互转换,以确保总线上消息的正确收发。

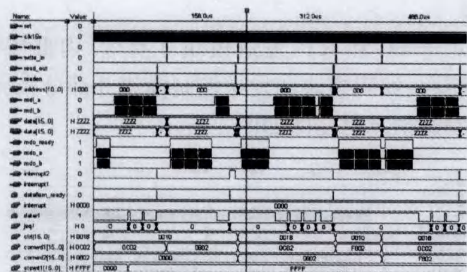


图6 整体仿真时序图

5 结束语

本设计根据应用需求,利用 FPGA 完成了 BU-61580 总线控制器的 IP 核设计,与 DDC 公司的多功能 BU-61580 相比,设计的功能更加实用,降低了使用的复杂程度,成本上也更加低廉。作为军事协议标准,其可靠性和实时性至关重要。通过物理验证,该 IP 核的可靠性能得到保证;对于高速并行信号,也能保证测试的实时性。在实际应用中,可以通过更改源程序以满足不同场合的需求。

参考文献:

- [1] Mini-ACE series BC/RT/MT advanced communication engine integrated 1553 terminal user guide[R]. 1999.
- [2] 曲新春,蒋志翔. 基于 SOPC 的 1553B IP 核的设计[J]. 计算机工程与设计,2007,28(19):4708-4712.

(上接第 128 页)

域,对运动区域和背景区域采用不同的搜索步骤;其次,根据在 5×5 正方形螺旋搜索中,越靠近中心运动矢量分布概率越大的特点,提出改进,先进行内菱形搜索,再进行外菱形搜索。从实验结果可以看出,本文算法在 PSNR 和码率基本不变得情况下,运动估计时间大幅降低,适用于 H.264 的 FGS 编码。

参考文献:

- [1] Chen Z B, Zhou P, HE Y. Fast integer pel and fractional pel motion estimation for JVT[C]// proceeding of the JVR-F0176th meeting. Awaji, Japan; IEEE, 2002: 5-13.
- [2] Xie Lifan, Huang Chunqing. UMHExagon search algorithm for fast motion estimation [C]// proceedings of

- [3] 许宏杰,田泽,袁晓军. 高速 1553BIP 核的设计与实现[J]. 计算机技术与发展,2009,19(12):155-157.
- [4] Enumala Srikrishna L, MadanMohan A, Mallikarjuna Prasad. Development of MIL-STD-1553B synthesizable IP core for avionic applications[J]. International Journal of Computer Science Issues. 2011, 9(8): 488-490.
- [5] Mark Zwolinski. System Verilog 数字系统设计[M]. 夏宇闻,译. 北京:电子工业出版社,2011.
- [6] GJB289A-97, 中华人民共和国国家军用标准[S]. 1998.

作者简介:



王占领 男,(1988—),硕士. 研究方向为智能信息处理与嵌入式系统。

张登福 男,(1968—),教授. 研究方向为嵌入式系统、综合航空电子系统、信号处理。

李云杰 男,(1989—),硕士. 研究方向为机载计算机技术与嵌入式系统。

the and Internationd Conference on Computer Research and Development. Shanghai: IEEE, 2011: 483-487.

- [3] Lam C H, Po L M, Cheung C H. A novel kite-cross-diamond search algorithm for fast block motion estimation[C]// Proceeding s of 2004 IEEE International Symposium on Circuits and Systems. Canada: IEEE, 2004: 729-732.
- [4] 郑夜星,林其伟. 基于运动跟踪的改进精细可分级视频编码[J]. 微电子学与计算机,2010,27(12):134-137.

作者简介:

洪佳庆 男,(1988—),硕士研究. 研究方向为视频通信。

林其伟 男,(1959—),副教授,硕士生导师. 研究方向为视频编码与网络通信。